

# SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent number: JP9293870

Publication date: 1997-11-11

Inventor: YAMANAKA HIDEO

Applicant: SONY CORP

Classification:

- international: H01L29/786; H01L21/336; H01L21/20; H01L21/268

- european:

Application number: JP19960104978 19960425

Priority number(s):

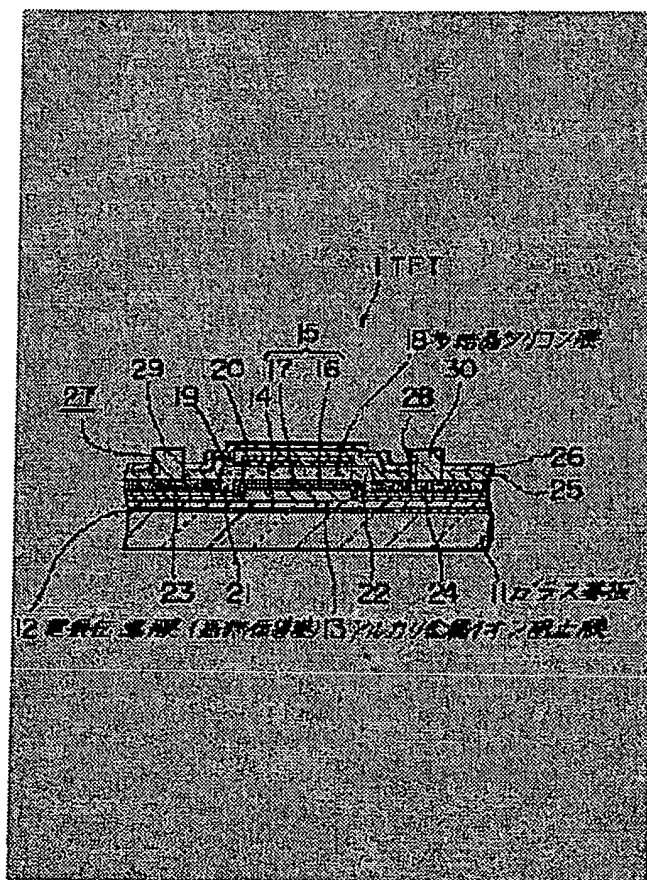
Also published as:

JP9293870 (A)

## Abstract of JP9293870

**PROBLEM TO BE SOLVED:** To prevent deterioration of characteristics of a semiconductor device caused by heat generation thereof, by forming an electrically conductive film nearly all over a glass substrate to efficiently radiating heat generated by strong incident light or from a driver circuit through the electrically conductive film.

**SOLUTION:** In the semiconductor device, an electrically conductive alkaline metal ion blocking film 13 is formed on a glass substrate 11, a polycrystalline silicon film 18 is formed on the film 13, thereby forming a thin-film transistor 1 using the polycrystalline silicon film 18 used as an active region. In this case, an electrically conductive film 12 having a thermal conductivity higher than that of the glass substrate 11 is formed between the substrate 11 and the film 13.



REST AVAIL ADIC COM

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3409576号  
(P3409576)

(45) 発行日 平成16年5月28日 (2003.5.26)

(24) 登録日 平成15年3月20日 (2003.3.20)

(51) Int.Cl.

識別記号

F I

H 0 1 L 21/336

H 0 1 L 21/20

21/20

21/268

Z

21/268

29/78

6 2 7 G

29/786

6 1 6 L

6 2 6 C

請求項の数 4 (全 11 頁)

(21) 出願番号 特願平8-104978

(22) 出願日 平成8年4月25日 (1996.4.25)

(65) 公開番号 特開平9-293870

(43) 公開日 平成9年11月11日 (1997.11.11)

審査請求日 平成13年6月8日 (2001.6.8)

(73) 特許権者 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山中 英雄

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

審査官 棚田 一也

(56) 参考文献 特開 平5-121350 (J P, A)

特開 平8-51076 (J P, A)

特開 昭60-45219 (J P, A)

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】 ガラス基板上の全面にわたって該ガラス基板より熱伝導率の高い電気伝導膜を形成した後に前記電気伝導膜上に電気絶縁性を有するアルカリ金属イオン阻止膜を形成する工程と、

前記アルカリ金属イオン阻止膜上にアモルファスシリコン膜を成膜した後、アニーリングによって該アモルファスシリコン膜を結晶化して多結晶シリコン膜を生成する工程と、

前記多結晶シリコン膜をアクティブ領域に用いた薄膜トランジスタを形成する工程とを備えた半導体装置の製造方法であって、

前記アニーリングを行う前に、該アニーリングの際に前記ガラス基板がクランプによって押圧される領域の前記電気伝導膜上に形成されている膜を除去して該電気伝導

膜を露出させ、

かつ前記アニーリングの際に、前記電気伝導膜の露出した部分に熱伝導性および電気伝導性を有するクランプを押し当てて前記ガラス基板を保持台に固定することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記電気伝導膜は、金属膜、電気伝導性を有する金属窒化膜、電気伝導性を有する金属酸化膜のうちの1種類からなる単層膜、または複数種類からなる積層膜によって形成されることを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、

前記保持台にはその内部に冷却器を備えたものを用い、前記アニーリングの際に前記保持台によって前記ガラス

基板を冷却することを特徴とする半導体装置の製造方法。

【請求項4】 請求項2記載の半導体装置の製造方法において、

前記保持台にはその内部に冷却器を備えたものを用い、前記アニーリングの際に前記保持台によって前記ガラス基板を冷却することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置、特に液晶デバイスの製造方法に関するものである。

【0002】

【従来の技術】 最近、コストダウン等の観点から安価なホウケイ酸ガラスに水素を含むアモルファスシリコン膜を形成し、パルスのエキシマレーザ光を照射して加熱アニールすることで、多結晶シリコン薄膜へ結晶化するとともに結晶性の向上による高性能な薄膜トランジスタ特性を得る研究開発が各社で鋭意推進されている。

【0003】 従来の薄膜トランジスタの製造方法では、ガラス基板上にアルカリ金属イオン防止膜を形成し、その表面上に薄膜トランジスタを形成していた。そして薄膜トランジスタに用いる多結晶シリコン膜は、ガラス基板上にプラズマ化学的気相成長（以下、化学的気相成長をCVDと記す、CVDはChemical Vapour Depositionの略）法により成膜した厚さが約30nmの水素を含むアモルファスシリコン膜にキセノン塩素エキシマレーザ光を照射して、上記アモルファスシリコン膜を溶解し、それを自然冷却して固化させて多結晶シリコン膜を得ていた。

【0004】 上記エキシマレーザ光の照射によってアニールできるシリコン膜の深さは100nm以下に限られており、またエキシマレーザ光は強力なパルス紫外線であるために、アモルファスシリコン表面の約20nmの深さで吸収されていた。そのため、アモルファスシリコン表面部分の温度を上昇させて、シリコンを熔融させる温度である1500℃前後に加熱していた。一方、その時のガラス基板の温度は300℃以下に保持されていた。

【0005】

【発明が解決しようとする課題】 しかしながら、従来のエキシマレーザ光によるアニーリングは、熱伝導率の低いガラス基板上に形成した水素を含むアモルファスシリコン膜に光照射してそれを熔融させた後、自然冷却しているため、冷却の不均一性による多結晶シリコン結晶粒界の方位の不揃いが発生していた。そのため、上記多結晶シリコン膜を用いて形成した薄膜トランジスタでは、電界効果移動度のばらつき、Vthのばらつき等の特性の不均一と劣化を引き起こしていた。

【0006】

【課題を解決するための手段】 本発明は、上記課題を解決するためになされた半導体装置の製造方法である。

【0007】 すなわち、本発明の製造方法で製造される半導体装置は、ガラス基板上に電気絶縁性を有するアルカリ金属イオン阻止膜が形成されていて、このアルカリ金属イオン阻止膜上に多結晶シリコン膜が形成されるとともに、この多結晶シリコン膜をアクティブ領域に用いた薄膜トランジスタが形成されているものであって、ガラス基板上のほぼ全面にわたって、かつこのガラス基板と上記アルカリ金属イオン阻止膜との間に、ガラス基板より熱伝導率の高い電気伝導膜が形成されているものである。

【0008】 上記半導体装置では、ガラス基板上のほぼ全面にわたって電気伝導膜が形成されていることから、例えば、プロジェクタのような強い入射光による熱や駆動回路から発生する熱は、上記電気伝導膜によって効率よく放熱される。そのため、発熱による半導体装置の特性の劣化が抑えられる。言い換えれば、この電気伝導膜を形成していない半導体装置と比較して良好な特性が得られる。また薄膜トランジスタの裏面側からの反射光による薄膜トランジスタへの光リークが抑えられるのでコントラストの低下が防止される。

【0009】 また、この半導体装置は液晶デバイスであって、上記電気伝導膜は、液晶デバイスの画素部上を除くガラス基板上の全面に形成され、かつガラス基板に形成された液晶デバイスの駆動回路のアース電位に接続されているものである。このような半導体装置の構成では、ガラス基板上での帯電は上記電気伝導膜を通してアース電位に逃がされるので、この半導体装置の静電気耐性は高いものになる。

【0010】 さらに上記電気伝導膜は、金属膜、電気伝導性を有する金属窒化膜、電気伝導性を有する金属酸化膜のうちの1種類からなる単層膜、または複数種類からなる積層膜によって構成されているものである。このような電気伝導膜を有する半導体装置の構成では、電気伝導膜もアルカリ金属イオン阻止膜と同様にアルカリ金属イオンを阻止するので、ガラス基板から薄膜トランジスタへのアルカリ金属イオンの拡散防止が確実に行える。

【0011】 本発明の半導体装置の製造方法は、ガラス基板上に電気絶縁性を有するアルカリ金属イオン阻止膜を形成する工程と、このアルカリ金属イオン阻止膜上にアモルファスシリコン膜を成膜した後、アニーリングによって上記アモルファスシリコン膜を結晶化して多結晶シリコン膜を生成する工程と、この多結晶シリコン膜をアクティブ領域に用いた薄膜トランジスタを形成する工程を備えた方法であって、アルカリ金属イオン阻止膜を形成する前に、ガラス基板上の全面にわたってこのガラス基板より熱伝導率の高い電気伝導膜を形成する方法である。

【0012】 上記製造方法では、ガラス基板上に電気絶

導性を有するアルカリ金属イオン阻止膜を形成する前に、このガラス基板上の全面にわたってガラス基板より熱伝導率の高い電気伝導膜を形成することから、アニーリング（例えばレーザアニーリング）の際に各素子部の上記アモルファスシリコン膜が熔融してなる熔融シリコンはほぼ均一に冷却固化される。すなわち、上記ガラス基板の面内において上記熔融シリコンから発生する熱は、上記電気伝導膜によってほぼ均一に放熱される。そのため、熔融シリコンが冷却固化される際には、不純物偏析が低減され、特定の方位（例えばガラス基板側から上方に向かう方位）を持つ結晶核の多結晶シリコンが得られる。その結果、上記のようにして形成される多結晶シリコン膜を用いることで高い電界効果移動度と $V_{th}$ ばらつきの少ない良好な薄膜トランジスタが形成されることになる。

【0013】また上記電気伝導膜は、金属膜、電気伝導性を有する金属窒化膜、電気伝導性を有する金属酸化膜のうちの1種類からなる単層膜、または複数種類からなる積層膜によって形成されるこのような構成では、電気伝導膜はアルカリ金属イオン阻止膜とともに、ガラス基板中のアルカリ金属イオンの薄膜トランジスタへの拡散を防ぐ。これによって薄膜トランジスタの特性の劣化を防止する。

【0014】さらにアニーリングを行う前に、このアニーリングの際に上記ガラス基板がクランプによって押圧される領域の上記電気伝導膜上に形成されている膜を除去してこの電気伝導膜を露出させ、かつこのアニーリングの際に、上記電気伝導膜の露出した部分に電気伝導性および熱伝導性を有するクランプを押し当ててガラス基板を保持台に固定する。このような製造方法では、電気伝導膜中を伝導した熱はクランプを通して放熱される。そのため、電気伝導膜は高温にならないので、半導体装置も高温にならない。そのため、半導体装置の劣化が防止される。さらにクランプによって電気伝導膜がアース電位になるので、アニーリング時の静電気ダメージが防止される。

【0015】またさらに、保持台にはその内部に冷却器を備えたものを用い、上記アニーリングの際にその保持台によってガラス基板を冷却する。このような製造方法では、上記電気伝導膜からの放熱は促進され、ガラス基板が高温になることが避けられる。

【0016】

【発明の実施の形態】本発明の半導体装置の製造方法で形成される半導体装置に係わる第1実施形態の一例を、図1の概略構成断面図によって説明する。図では半導体装置の一例として、液晶デバイスの逆スタガー型NチャネルMOS薄膜トランジスタ1を示す。

【0017】図1に示すように、ガラス基板11上にはほぼ全面にわたって、このガラス基板11より熱伝導率の高い電気伝導膜（高熱伝導膜）12が形成されてい

る。上記ガラス基板11は、例えばホウケイ酸ガラス基板からなる。また上記電気伝導膜12は、金属膜、電気伝導性を有する金属窒化膜、電気伝導性を有する金属酸化膜のうちの1種類からなる単層膜、または複数種類からなる積層膜によって構成される。例えば、上記金属膜には、モリブデン（Mo）膜、タンタル（Ta）膜、チタン（Ti）膜、クロム（Cr）膜、タングステン（W）膜、アルミニウム（Al）膜等がある。また上記金属窒化膜には、窒化チタン（TiN）、窒化タングステン（WN）、窒化タンタル（Ta<sub>2</sub>N）等がある。さらに上記金属酸化物には、ITO（Indium Tin Oxideの略）、アンチモン（Sb）を含む酸化すず（SnO<sub>2</sub>）等がある。この第1実施形態では、一例として、Ta膜とMo膜とからなる厚さが200nmの積層膜を上記電気伝導膜12とした。

【0018】上記電気伝導膜12上には電気絶縁性を有するアルカリ金属イオン阻止膜13が形成されている。このアルカリ金属イオン阻止膜13は、例えば膜厚が300nmの窒化シリコン（Si<sub>3</sub>N<sub>4</sub>）膜で形成されている。またはSi<sub>3</sub>N<sub>4</sub>膜を例えば300nmの厚さに形成し、さらに酸化シリコン（SiO<sub>2</sub>）膜を例えば200nmの厚さに形成してもよく、また逆に積層して形成してもよい。

【0019】さらに上記アルカリ金属イオン阻止膜13上には、ゲート電極14が形成されている。このゲート電極14は、例えばTa膜とMo膜とからなる厚さが300nmの積層膜をからなる。または上記ゲート電極14は、例えばCr膜で形成することも可能である。

【0020】さらに上記ゲート電極14を被覆する状態にゲート絶縁膜15が形成されている。このゲート絶縁膜15は、例えば、厚さが30nmのSi<sub>3</sub>N<sub>4</sub>膜16と、厚さが20nmのSiO<sub>2</sub>膜17とからなる。また、ゲート絶縁膜15上には、アクティブ領域を形成するための多結晶シリコン膜18が形成されている。この多結晶シリコン膜18は、例えば厚さが30nmのアモルファスシリコン膜をレーザアニーリングによって結晶化して形成したものである。そして上記多結晶シリコン膜18は結晶方位が揃ったものになっている。例えば{100}方位に揃った多結晶シリコン膜をアクティブ領域に用いた薄膜トランジスタは、電界効果移動度が大きく、しきい値電圧 $V_{th}$ が低いものになる。

【0021】さらに上記ゲート電極14の上方における上記多結晶シリコン膜18上には、厚さが20nmのSiO<sub>2</sub>膜19、厚さが30nmのSi<sub>3</sub>N<sub>4</sub>膜20が形成されている。上記ゲート電極14の側方かつ上方の上記多結晶シリコン膜18には、LDD（LDDはLightly Doped Drainの略）21、22が形成され、さらに上記LDD21、22を介してソース・ドレイン23、24が形成されている。すなわち、上記ゲート電極14の上方の多結晶シリコン膜18がチャネル形成領域となり、そ

の両側方にLDD21, 22を介してソース・ドレイン23, 24が形成される。

【0022】さらに、上記窒化シリコン膜20を覆う状態に上記多結晶シリコン膜18上には、リンシリケートガラス(PSG)膜25が例えば300nmの膜厚に形成され、その上面にはSiN膜26が例えば200nmに膜厚に形成されている。

【0023】そして、上記ソース・ドレイン23, 24上のPSG膜25とSiN膜26とは開口部27, 28が形成され、この開口部27, 28にはソース・ドレイン23, 24に接続するソース・ドレイン電極29, 30が形成されている。上記の如くに、薄膜トランジスタ1は構成されている。

【0024】上記薄膜トランジスタ1では、ガラス基板11上のほぼ全面にわたって電気伝導膜12が形成されていることから、例えば、プロジェクトのような強い入射光による熱や駆動回路から発生する熱は、上記電気伝導膜12によって効率よく放熱される。そのため、発熱による薄膜トランジスタ1の特性の劣化が抑えられる。言い換えれば、この電気伝導膜12を形成していない半導体装置と比較して、上記構成の薄膜トランジスタ1は高い特性が得られる。さらに上記薄膜トランジスタ1は、アクティブ領域となる多結晶シリコン膜18の結晶方位が増ったものになっている。そのため、薄膜トランジスタ1の電界効果移動度は大きく、しきい値電圧 $V_{th}$ は低いものになっている。また、電気伝導膜12は、アルカリ金属イオン阻止膜13とともにガラス基板11中のアルカリ金属イオンの薄膜トランジスタ1への拡散を防止する。

【0025】次に、上記逆スタガー型薄膜トランジスタの製造方法を、図2、図3の各製造工程図によって説明する。図2、図3では、前記図1で説明したのと同様の構成部品には同一符号を付す。

【0026】図2の(1)に示すように、スパッタリングによって、ガラス基板11の表面にTa膜とMo膜とを積層して、このガラス基板11よりも熱伝導率の高い電気伝導性膜(高熱伝導膜)12を、例えば200nmの厚さに形成する。さらにCVD法によって、アルカリ金属イオン阻止膜13を、例えばSiN膜によって形成する。このアルカリ金属イオン阻止膜13は、例えば300nmの厚さに形成される。

【0027】次に、図2に(2)に示すように、スパッタリングによって、上記アルカリ金属イオン阻止膜13上にTa膜とMo膜とを積層して、ゲート電極を形成するための電極形成膜を例えば300nmの厚さに形成する。次いで感光性レジストを塗布してレジスト膜を形成した後、このレジスト膜に対してマスク露光を行い、露光したレジスト膜を現像し、さらにポストベークを行って、レジストパターンを形成する。そのレジストパターンをマスクに用いたエッチング、例えばエッチングガス

にテトラフルオロメタン( $CF_4$ )を用いたドライエッチングによって、上記電極形成膜をパターニングしてゲート電極14を形成する。その際、ゲート電極14は30°程度のテーパ形状にパターニングすることが望ましい。

【0028】次に、図2の(3)に示すように、プラズマCVD法によって、上記ゲート電極14を覆う状態にして上記アルカリ金属イオン阻止膜13上に連続成膜を行う。このときの成膜温度は、例えば約300℃に設定した。まず、モノシラン( $SiH_4$ )、アンモニア( $NH_3$ )および窒素( $N_2$ )を成膜ガスに用いてSiN膜16を例えば30nmの厚さに形成し、続いて $SiH_4$ および酸素( $O_2$ )を成膜ガスに用いて $SiO_2$ 膜17を例えば20nmの厚さに形成し、ゲート絶縁膜15を形成する。引き続き $SiH_4$ を成膜ガスに用いてアモルファスシリコン膜18aを例えば30nmの厚さに形成し、次いで $SiH_4$ および $O_2$ を成膜ガスに用いて $SiO_2$ 膜19を例えば20nmの厚さに形成し、さらに $SiH_4$ 、 $NH_3$ および $N_2$ を成膜ガスに用いてSiN膜20を例えば30nmの厚さに形成する。

【0029】次いで図2の(4)に示すように、感光性レジストを塗布してレジスト膜を形成した後、このレジスト膜に対してマスク露光を行い、露光したレジスト膜を現像し、さらにポストベークを行って、上記ゲート電極14の上方にレジストパターン51を形成する。そのレジストパターン51をマスクに用いたエッチング、例えば $CF_4$ をエッチングガスに用いたドライエッチングによって上記SiN膜20をエッチングし、さらに、例えばフッ酸水溶液( $HF:H_2O=1:5$ )をエッチング液に用いたウェットエッチングによって、上記 $SiO_2$ 膜19をエッチングする。その後、上記レジストパターン51をマスクにしたイオンドーピングによって、上記アモルファスシリコン膜18aにリンイオンをドーピングし、LDD21, 22を形成する。その際のドーピング量は、例えば $1 \times 10^{14}/cm^2 \sim 1 \times 10^{16}/cm^2$ に設定した。

【0030】続いて図3の(1)に示すように、感光性レジストを塗布してレジスト膜を形成した後、このレジスト膜に対してマスク露光を行い、露光したレジスト膜を現像し、さらにポストベークを行って、上記LDD21, 22のゲート電極14側の部分を覆う状態にレジストパターン52を形成する。このレジストパターン52は、上記パターニングしたSiN膜20および $SiO_2$ 膜19の両側に残すことになるLDD21, 22が確保されるように形成される。その後、上記レジストパターン52をマスクにしたイオンドーピングによって、上記アモルファスシリコン膜18aにリンイオンをドーピングし、ソース・ドレイン23, 24を形成する。その際のドーピング量は、例えば $1 \times 10^{14}/cm^2 \sim 1 \times 10^{16}/cm^2$ に設定した。その後上記レジストパターン5

1, 52を除去する。

【0031】次いで図3の(2)に示すように、アニーリング（ここではパルスのエキシマレーザアニーリング）によって、アモルファスシリコン膜18a（LDD 21, 22およびソース・ドレイン23, 24を形成した部分も含む）の脱水素、結晶化、活性化を行う。エキシマレーザには波長が308nmのキセノン塩素エキシマレーザ光を用い、そのエネルギーは空气中で約250 mJ/cm<sup>2</sup>とした。上記エキシマレーザ光の照射は、最初は溶融エネルギー（220 mJ/cm<sup>2</sup>）より低いエネルギーで行ってアモルファスシリコン膜18aの中から水素を追い出し、その後照射エネルギーを高めてアモルファスシリコン膜18aを溶融させる。その後エキシマレーザ光の照射を停止し、溶融シリコンを固化する。その結果、アモルファスシリコン膜18aは結晶化して多結晶シリコン膜18になる。

【0032】なお、上記パルスのエキシマレーザ光の照射では、ガラス基板11上に成膜したアモルファスシリコン膜18aの溶融しきい値エネルギーは約130 mJ/cm<sup>2</sup>である。一方、膜厚全体が溶融するには約220 mJ/cm<sup>2</sup>が必要であり、溶融固化するまでの時間は約70 nsが必要である。また、エキシマレーザ光の照射によってアニールできるシリコン膜の深さは100 nm以下になっている。そしてエキシマレーザ光は強力なパルス紫外線であるために、アモルファスシリコン膜18aの表面から約20 nmの深さまでで吸収されてその部分の温度を上昇させる。この時、ゲート電極14上のアモルファスシリコン膜18aの一部にはSi<sub>3</sub>N<sub>4</sub>膜20とSiO<sub>2</sub>膜19とが形成されているので、この部分ではエキシマレーザ光の反射が低減されて、より効率の高い溶融が実現できる。そして、アモルファスシリコン膜18aを溶融させる温度である1500℃前後になる。一方、その時のガラス基板11の温度は300℃以下に保持される。

【0033】続いてRTA（RTAはRapid Thermal Annealingの略）によってポストアニーリングを行う。このポストアニーリングは、一例として、N<sub>2</sub>雰囲気中で、750℃～800℃の範囲内の所定温度で10分間行って、多結晶シリコン膜18の結晶性を回復させる。

【0034】次に図3の(3)に示すように、成膜温度が約600℃の常圧CVD法によって、上記Si<sub>3</sub>N<sub>4</sub>膜20を覆う状態にして上記多結晶シリコン膜18上にPSG膜25（リン濃度が4wt%～5wt%）を例えば300 nmの厚さに形成し、さらにSi<sub>3</sub>N<sub>4</sub>膜26を例えば200 nmの厚さに形成する。上記PSG膜25の成膜では、成膜ガスにSiH<sub>4</sub>（20%）、ホスフィン（PH<sub>3</sub>）（1%）およびO<sub>2</sub>を用いた。そして流量比をSiH<sub>4</sub>+PH<sub>3</sub>:O<sub>2</sub>=1:1.5とした。また上記Si<sub>3</sub>N<sub>4</sub>膜26の成膜では、キャリアガスにN<sub>2</sub>を用い、成膜ガスにSiH<sub>4</sub>およびNH<sub>3</sub>を用いた。

【0035】次いで水素化アニーリングを行う。このアニーリングは、フォーミングガス中で400℃、3時間～4時間の条件にて行い、水素でダングリングボンドを切ることで、電界効果移動度を向上させ、リークを低減し、薄膜トランジスタの特性を向上させる。

【0036】その後図3の(4)に示すように、感光性レジストを塗布してレジスト膜を形成した後、このレジスト膜に対してマスク露光を行い、露光したレジスト膜を現像し、さらにポストベークを行って、ソース・ドレイン23, 24上にレジスト開口部を設けたレジストパターン（図示省略）を形成する。そしてこのレジストパターンをマスクに用いたエッチングによって上記Si<sub>3</sub>N<sub>4</sub>膜26と上記SiO<sub>2</sub>膜25とをエッチングして開口部27, 28を形成する。次いで上記レジストパターンを除去する。

【0037】続いてスパッタリングによって、アルミニウム（1%シリコン入り）を例えば1 μmの厚さに堆積してアルミニウム膜を形成する。次いで感光性レジストを塗布してレジスト膜を形成した後、このレジスト膜に対してマスク露光を行い、露光したレジスト膜を現像し、さらにポストベークを行って、ソース・ドレイン23, 24上にレジストパターン（図示省略）を形成する。そしてこのレジストパターンをマスクに用いたエッチングによって上記アルミニウム膜をパターンニングして、ソース・ドレイン23, 24に接続するアルミニウム電極29, 30を形成する。このエッチングは、例えばリン酸（H<sub>3</sub>PO<sub>4</sub>）：酢酸（CH<sub>3</sub>COOH）：硝酸（HNO<sub>3</sub>）=70:10:3の割合のエッチング液を用いて行った。その後、上記レジストパターンを除去した。さらにフォーミングガス中でアルミニウムシンター処理を行う。この処理条件としては、一例として、処理温度を350℃とし、処理時間を1時間とした。

【0038】当然のことながら、図示はしていないが、液晶デバイスの画素開口部の上記電気伝導膜12は、透明な平坦化膜を形成する前にエッチングによって除去する。

【0039】上記製造方法では、ガラス基板11上に電気絶縁性を有するアルカリ金属イオン阻止膜13を形成する前に、このガラス基板11上のほぼ全面にわたってガラス基板11より熱伝導率の高い電気伝導膜12を形成することから、エキシマレーザアニーリングの際に上記アモルファスシリコン膜18aが溶融してなる溶融シリコンはほぼ均一に冷却固化される。すなわち、上記ガラス基板11の面内において上記溶融シリコンから発生する熱は、上記電気伝導膜12によってほぼ均一化されて放熱される。そのため、溶融シリコンが冷却固化する際には、不純物偏析が低減され、特定の方位（例えばガラス基板11側から上方に向かう方位）を持つ結晶核の多結晶シリコン膜18が得られる。また、上記のようにして製造された結晶方位の揃った多結晶シリコン膜18

を用いて形成される薄膜トランジスタ1は高い電界効果移動度が得られる。

【0040】次に第2実施形態の一例を、図4の概略構成断面図によって説明する。図では半導体装置の一例としてスタガー型NチャネルMOS薄膜トランジスタを示す。なお、前記第1実施形態で説明した薄膜トランジスタ1と同様の構成部品には同一符号を付す。

【0041】図4に示すように、ガラス基板11上にはほぼ全面にわたって、このガラス基板11より熱伝導率の高い電気伝導膜12が形成されている。さらに上記電気伝導膜12上には電気絶縁性を有するアルカリ金属イオン阻止膜13が形成されている。そして上記ガラス基板11、上記電気伝導膜12および上記アルカリ金属イオン阻止膜13は、前記図1によって説明した第1実施形態と同様の材料で形成されている。

【0042】上記アルカリ金属イオン阻止膜13上には、酸化シリコン膜61が形成され、さらにアクティブ領域を形成するための多結晶シリコン膜18が積層状態に形成されている。この多結晶シリコン膜18は、例えば厚さが30nmのアモルファスシリコン膜をレーザアニーリングによって結晶化して形成したものである。そして上記多結晶シリコン膜18上の所定の位置にはゲート絶縁膜15が形成されている。このゲート絶縁膜15は、例えば、厚さが20nmの $\text{SiO}_2$ 膜62と、厚さが30nmの $\text{Si}_3\text{N}_4$ 膜63とを積層した状態に形成されている。

【0043】上記ゲート絶縁膜15の側方かつ下方における上記多結晶シリコン膜18には、ゲート絶縁膜15側よりLDD21、22が形成され、かつLDD21、22を介してソース・ドレイン23、24が形成されている。すなわち、上記ゲート電極14の下方の多結晶シリコン膜18がチャネル形成領域となり、その両側方にLDD21、22を介してソース・ドレイン23、24が形成される。

【0044】さらに、上記ゲート絶縁膜15を覆う状態にして上記多結晶シリコン膜18(LDD21、22とソース・ドレイン23、24を含む)上にPSG膜25が例えば300nmの膜厚に形成されていて、さらに $\text{Si}_3\text{N}_4$ 膜26が例えば200nmに膜厚に形成されている。

【0045】そして、上記ソース・ドレイン23、24上とゲート電極の形成予定領域上とのPSG膜25と $\text{Si}_3\text{N}_4$ 膜26とは開口部27、28、62が形成されている。上記開口部27、28にはソース・ドレイン電極29、30が形成されていて、上記開口部64にはゲート電極14が形成されている。上記の如くに、薄膜トランジスタ2は構成されている。

【0046】上記薄膜トランジスタ2では、ガラス基板11上のほぼ全面にわたって電気伝導膜12が形成されていることから、例えば、プロジェクトのような強い入

射光による熱や駆動回路から発生する熱は、上記電気伝導膜12によって効率よく放熱される。そのため、発熱による薄膜トランジスタ2の特性の劣化が抑えられる。言い換えれば、この電気伝導膜12を形成していない薄膜トランジスタと比較して、上記構成の薄膜トランジスタ2は高い特性が得られる。また、電気伝導膜12は、アルカリ金属イオン阻止膜13とともにガラス基板11中のアルカリ金属イオンの薄膜トランジスタ2への拡散を防止する。

【0047】次に上記スタガー型NチャネルMOS薄膜トランジスタの製造方法の一例を、前記図4を参照しながら説明する。

【0048】まずスパッタリングによって、ガラス基板11の表面にTa膜とMo膜とを積層することで、このガラス基板11よりも熱伝導率の高い電気伝導膜12を例えば200nmの厚さに形成する。次にプラズマCVD法によって、連続成膜を行う。このときの成膜温度は、例えば約300℃に設定した。まず、 $\text{SiH}_4$ 、 $\text{NH}_3$ および $\text{N}_2$ を成膜ガスに用いてアルカリ金属イオン阻止膜13となる $\text{Si}_3\text{N}_4$ 膜を例えば300nmの厚さに形成し、続いて $\text{SiH}_4$ および $\text{O}_2$ を成膜ガスに用いて $\text{SiO}_2$ 膜61を例えば200nmの厚さに形成する。続けて $\text{SiH}_4$ を成膜ガスに用いてアモルファスシリコン膜18aを例えば30nmの厚さに形成する。さらに連続して $\text{SiH}_4$ および $\text{O}_2$ を成膜ガスに用いて $\text{SiO}_2$ 膜19を例えば20nmの厚さに形成し、さらに $\text{SiH}_4$ 、 $\text{NH}_3$ および $\text{N}_2$ を成膜ガスに用いて $\text{Si}_3\text{N}_4$ 膜20を例えば30nmの厚さに形成する。

【0049】次いで感光性レジストを塗布してレジスト膜を形成した後、このレジスト膜に対してマスク露光を行い、露光したレジスト膜を現像し、さらにポストバークを行って、レジストパターン(図示省略)を形成する。そのレジストパターンをマスクに用いたエッチングによって上記 $\text{Si}_3\text{N}_4$ 膜20と上記 $\text{SiO}_2$ 膜19とをエッチングしてゲート絶縁膜15を形成する。その後、イオンドーピングによって、上記アモルファスシリコン膜18aにリンイオンをドーピングし、LDD21、22を形成する。その際のドーズ量は、例えば $1 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{13} / \text{cm}^2$ に設定した。

【0050】次に感光性レジストを塗布してレジスト膜を形成した後、このレジスト膜に対してマスク露光を行い、露光したレジスト膜を現像し、さらにポストバークを行って、レジストパターン(図示省略)を形成する。このレジストパターンは、上記パターンニングしたゲート絶縁膜15の両側に残ることになるLDD21、22が確保されるように形成される。その後、上記レジストパターンをマスクにしたイオンドーピングによって、上記アモルファスシリコン膜18aにリンイオンをドーピングし、ソース・ドレイン23、24を形成する。その際のドーズ量は、例えば $1 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{13} / \text{cm}^2$

／ $\text{cm}^2$ に設定した。その後上記各レジストパターンを除去する。

【0051】次いで、エキシマレーザアニーリングによって、脱水素、結晶化、活性化を行う。エキシマレーザには波長が308nmのキセノン塩素エキシマレーザ光を用い、そのエネルギーは空気中で約250mJ／ $\text{cm}^2$ とした。上記エキシマレーザ光の照射は、最初は熔融エネルギー(220mJ／ $\text{cm}^2$ )より低いエネルギーで行ってアモルファスシリコン膜18a中から水素を追い出してから、照射エネルギーを高めて熔融させる。その後エキシマレーザ光の照射を停止して固化を行って、アモルファスシリコン膜18aの結晶化を行う。

【0052】続いて、 $\text{N}_2$ 雰囲気中のRTAによってポストアニーリングを行う。このポストアニーリングは、750℃～800℃の範囲内の所定温度で例えば1.0分間行う。

【0053】次いで成膜温度が約600℃の常圧CVD法によって、PSG膜25(リン濃度が4wt%～5wt%)を例えば300nmの厚さに形成し、さらにSiN膜26を例えば200nmの厚さに形成する。上記PSG膜25および上記SiN膜26の各成膜は、前記第1実施形態で説明したのと同様である。

【0054】次いで水素化アニーリングを行う。このアニーリングは、フォーミングガス中で400℃、3時間～4時間の条件にて行う。

【0055】その後感光性レジストを塗布してレジスト膜を形成した後、このレジスト膜に対してマスク露光を行い、露光したレジスト膜を現像し、さらにポストベークを行って、ソース・ドレイン23、24上およびゲート形成領域上に開口部を設けたレジストパターンを形成する。そのレジストパターンをマスクに用いたエッチングによって上記SiN膜20と上記SiO<sub>2</sub>膜19とをエッチングしてソース・ドレイン領域23、24が露出される開口部27、28を形成するとともに、上記SiN膜26、PSG膜25、SiN膜20および上記SiO<sub>2</sub>膜19をエッチングしてゲート絶縁膜15が露出される開口部64を形成する。次いで上記レジストパターンを除去する。

【0056】その後、スパッタリングによって、アルミニウム(1%シリコン入り)を例えば1μmの厚さに堆積してアルミニウム膜を形成する。次いで感光性レジストを塗布してレジスト膜を形成した後、このレジスト膜に対してマスク露光を行い、露光したレジスト膜を現像し、さらにポストベークを行って、ソース・ドレイン23、24上およびゲート形成領域上にレジストパターンを形成する。そのレジストパターンをマスクに用いたエッチングによって上記アルミニウム膜をパターンニングして、ソース・ドレイン23、24に接続するアルミニウム電極29、30を形成するとともに上記ゲート絶縁膜15上にゲート電極14を形成する。このエッチング

は、例えば $\text{H}_3\text{PO}_4 : \text{CH}_3\text{COOH} : \text{HNO}_3 = 7 : 10 : 3$ の割合のエッチング液を用いて行った。その後、上記レジストパターンを除去した。さらにフォーミングガス中でアルミニウムシンター処理を行う。この処理条件としては、処理温度を例えば350℃とし、処理時間を例えば1時間とした。

【0057】当然のことながら、図示はしていないが画素開口部の電気伝導膜12はエッチングによって除去しておく。

【0058】上記第2実施形態における製造方法では、第1実施形態で説明した製造方法と同様の作用効果が得られる。すなわち、上記ガラス基板11の面内において上記熔融シリコンから発生する熱は、上記電気伝導膜12によってほぼ均一に放熱されるため、アニーリング(例えばレーザアニーリング)の際に上記アモルファスシリコン膜18aが熔融してなる熔融シリコンはほぼ均一に冷却固化される。そのため、熔融シリコンが冷却固化される際には、不純物偏析が低減され、特定の方位(例えばガラス基板11側から上方に向かう方位)を持つ結晶核の多結晶シリコン膜18が得られる。その結果、上記のようにして形成される多結晶シリコン膜18を用いることで高い電界効果移動度の薄膜トランジスタ1が形成されることになる。

【0059】次に、上記第1実施形態および上記第2実施形態において、アモルファスシリコン膜18aを結晶化するためのアニーリング時におけるガラス基板11の固定方法およびその保持台を図5によって説明する。

【0060】図5に示すように、アモルファスシリコン膜18aを結晶化するアニーリングの際に前記ガラス基板11がクランプ81によって押圧される領域の前記電気伝導膜12上に形成されている膜、例えば前記第1実施形態で説明した逆スタガー型薄膜トランジスタが形成される場合であれば、アルカリ金属イオン阻止膜13、窒化シリコン膜16、酸化シリコン膜17、アモルファスシリコン膜18a等を除去して該電気伝導膜12を露出させる。また前記第2実施形態で説明したスタガー型NチャネルMOS薄膜トランジスタが形成される場合であれば、アルカリ金属イオン阻止膜13、酸化シリコン膜61、アモルファスシリコン膜18a等を除去して該電気伝導膜12を露出させる。この図面では除去した状態を示し、上記各膜の説明においては前記第1、第2実施形態で説明した際に用いた符号を付記した。その後、上記アニーリングの際に、電気伝導膜12の露出した部分に電気伝導性および熱伝導性を有するクランプ81を押し当ててガラス基板11を保持台82に固定する。なお、上記クランプ81は、電気伝導膜12と同程度またはそれ以上の電気伝導性および熱伝導性を有していることが望ましい。また、アニーリングの際には、前記保持台82によって前記ガラス基板11を冷却する。

【0061】次に保持台82の冷却器を説明する。上記

保持台82の内部には、冷媒（例えば冷水、窒素ガス等）を流すことが可能な流路83がこの保持台82の表面にそって形成されていて、この流路83が冷却器となる。具体的には、上記流路83は、この保持台82のガラス基板11を載置する表面側がほぼ均一に冷却されるように設けられていて、例えば保持台82に表面にそって複数回折り返す状態に1本または複数本の流路で形成されている、または渦巻き状に1本または複数本の流路で形成されている。なお、流路83の形態は、ここで説明した形態に限定されることはなく、保持台82のガラス基板11を載置する表面側がほぼ均一に冷却される構成であればいかなる形態であってもよい。

【0062】上記説明したように、電気伝導膜12にクランプ81が直接に接触してガラス基板11を保持台82に押し当てて、このガラス基板11を保持台82に固定し、エキシマレーザ光を照射してアニーリングを行う製造方法では、アニーリングによって加えられた熱は、電気伝導膜12中を伝導してクランプ81から放熱される。そのため、電気伝導膜12は高温になることはなく、またガラス基板11上に形成される半導体装置も高温にならない。したがって、アニーリングによる半導体装置の特性の劣化が防止される。またさらに、上記アニーリングの際に保持台82によってガラス基板11を冷却することから、上記電気伝導膜12からの放熱はさらに促進され、ガラス基板11が高温になることが避けられる。さらにクランプ81によって電気伝導膜12がアース電位になるので、アニーリング時の静電気ダメージが防止される。

【0063】次に、上記電気伝導膜12をLCD（LCDはLiquid Crystal Deviceの略）駆動回路のアース電位と接続した構成例を、図6によって説明する。図では、一例として、逆スタガー型NチャネルMOS薄膜トランジスタを搭載した液晶パネルを示す。

【0064】図6に示すように、半導体装置は液晶デバイスであって、ガラス基板11上に形成されている電気伝導膜12は、液晶デバイスの駆動回路のアース電位91に接続されている。

【0065】ここで図6に示した他の構成部品を簡単に説明する。上記ガラス基板11上には、電気伝導膜12が形成され、さらにアルカリ金属イオン阻止膜13が形成されている。このアルカリ金属イオン阻止膜13上には逆スタガー型の薄膜トランジスタ1が形成されている。そして上記薄膜トランジスタ1を覆う状態にPSG膜25とSIN膜26が形成されている。さらに薄膜トランジスタ1のソース・ドレイン23、24に接続するソース・ドレイン電極29、30が形成されている。一方、画素部92上の上記電気伝導膜12、アルカリ金属イオン阻止膜13等の膜は除去され、開口部93が形成されている。さらに上記薄膜トランジスタ1および画素部92を覆う状態に、上記ガラス基板11上には透明な

平坦化膜94が形成されている。また、ITOからなる透明電極95が画素部92上の透明な平坦化膜94上からドレイン電極29に接続する状態に形成されている。さらに、上記透明な平坦化膜94の周辺上にはシール剤96、コモン剤97を介して液晶が封入される空間98を確保した状態にカラーフィルタ基板99が設けられている。

【0066】上記のように電気伝導膜12をアース電位91に接続した構成では、ガラス基板11上での帯電は上記電気伝導膜12を通じてアース電位91に逃がされるので、静電気耐性は高いものになる。

【0067】

【発明の効果】以上、説明したように本発明の半導体装置の製造方法によれば、製造された半導体装置は、ガラス基板上のほぼ全面にわたって電気伝導膜が形成されているので、強い入射光による熱や駆動回路から発生する熱は電気伝導膜によって効率よく放熱される。そのため、発熱による半導体装置の特性の劣化が抑えられるので、例えばこの半導体装置が搭載されるLCDではその特性の向上が図れる。

【0068】また、画素開口部を除くガラス基板上の全面に電気伝導膜が設けられ、この電気伝導膜がLCDの駆動回路のアース電位に接続されているものによれば、ガラス基板上での帯電は電気伝導膜を通してアース電位に逃がされるので、LCDの静電気耐性を向上させることができる。

【0069】さらに電気伝導膜は、金属膜、電気伝導性を有する金属窒化膜、電気伝導性を有する金属酸化膜のうちの1種類からなる単層膜、または複数種類からなる積層膜によって構成されているので、電気伝導膜もアルカリ金属イオン阻止膜と同様にアルカリ金属イオンを阻止することができる。したがって、ガラス基板から薄膜トランジスタへのアルカリ金属イオンの拡散防止が確実に行うことができる。よって、アルカリ金属イオンによる薄膜トランジスタ特性の劣化は起こらない。またさらに、画素開口部以外が不透明な膜で形成されている場合（ITO膜、SiO<sub>2</sub>膜等は除く）には、ガラス基板の裏面からの反射光によるリーク電流を防止できる。すなわち薄膜トランジスタへの光リークを防止できるので、コントラストの低下を防止することができる。

【0070】本発明の半導体装置の製造方法によれば、ガラス基板上の全面にわたってガラス基板より熱伝導率の高い電気伝導膜を形成したので、その後のアニーリングによってアモルファスシリコン膜を熔融して結晶化する際に、熔融シリコンから発生する熱は電気伝導膜によってほぼ均一に放熱されるので、この熔融シリコンはほぼ均一に冷却固化することができる。そのため、熔融シリコンの冷却固化の際に生じる不純物偏析を低減することができ、特定の方位を持つ結晶核の多結晶シリコンを得ることができる。よって、上記製造方法によって得

た多結晶シリコン膜を薄膜トランジスタに用いることで、高い移動度の薄膜トランジスタを製造することが可能になる。

【図面の簡単な説明】

【図1】 本発明の半導体装置に係わる第1実施形態の概略構成断面図である。

【図2】 本発明の製造方法に係わる第1実施形態の製造工程図である。

【図3】 第1実施形態の製造工程図（続き）である。

【図4】 本発明の半導体装置に係わる第2実施形態の概略構成断面図である。

略構成断面図である。

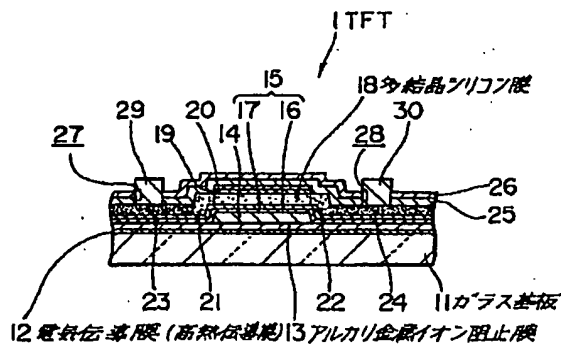
【図5】 アニール時のガラス基板の固定方法およびその保持台の説明図である。

【図6】 電気伝導膜（高熱伝導膜）を設けた液晶パネルの説明図である。

【符号の説明】

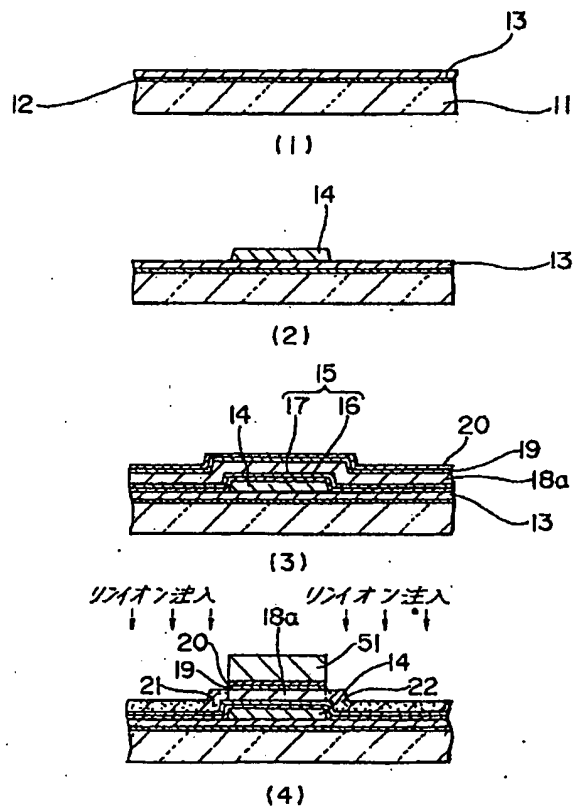
- |    |              |    |              |
|----|--------------|----|--------------|
| 1  | 薄膜トランジスタ     | 11 | ガラス基板        |
| 12 | 電気伝導膜（高熱伝導膜） | 13 | アルカリ金属イオン阻止膜 |
| 18 | 多結晶シリコン膜     |    |              |

【図1】



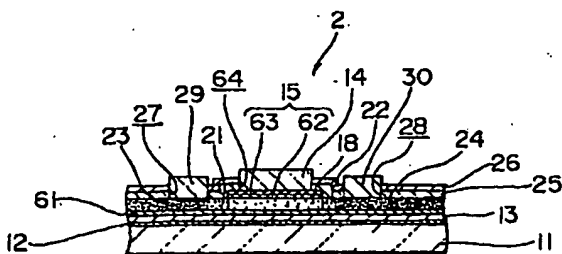
本発明の半導体装置に係わる第1実施形態の概略構成断面図

【図2】



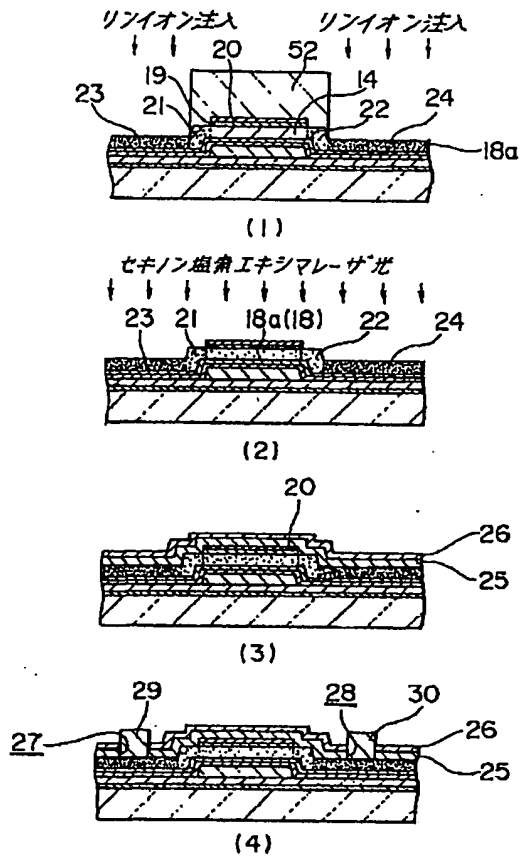
本発明の製造方法に係わる第1実施形態の製造工程図

【図4】



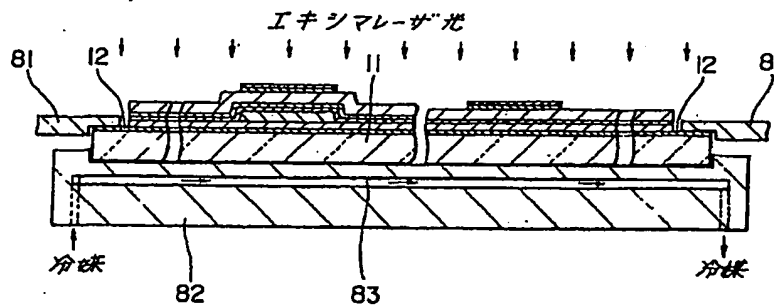
本発明の半導体装置に係わる第2実施形態の概略構成断面図

【図3】



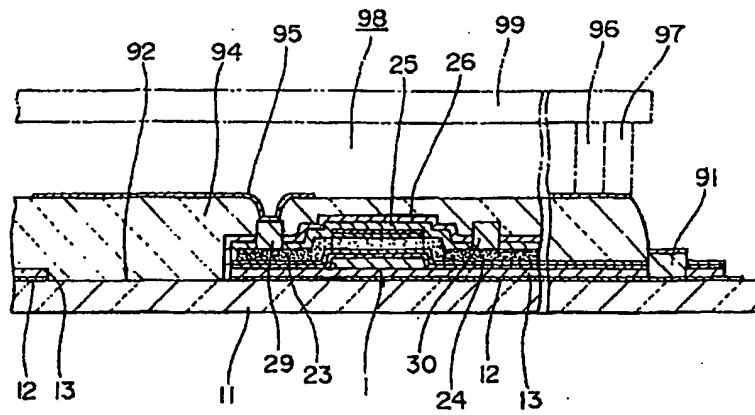
第1実施形態の製造工程図(続き)

【図5】



アニーリング時のガラス基板の固定方法およびその保持台の説明図

【図6】



電気伝導膜(高熱伝導膜)を設けた液晶パネルの説明図

---

フロントページの続き

(58) 調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01L 21/336

H01L 21/20

H01L 21/268

H01L 29/786